

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000260971 A

(43) Date of publication of application: 22.09.00

(51) Int. Cl

H01L 27/146
H04N 5/335

(21) Application number: 11061577

(71) Applicant: CANON INC

(22) Date of filing: 09.03.99

(72) Inventor: HOSHI JUNICHI
HASHIMOTO SEIJI

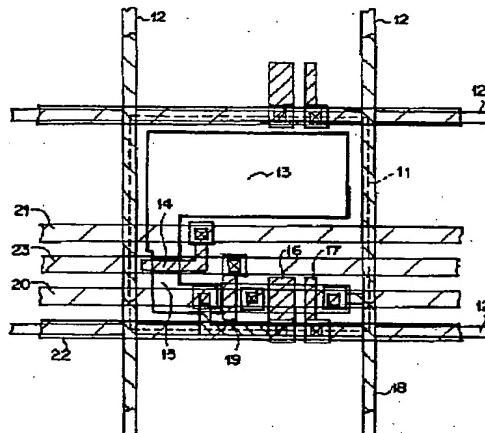
(54) IMAGE PICKUP DEVICE

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent incoming of excessive electrons in a floating diffusion for preventing error in hue, by providing a lateral overflow drain with a diffusion layer wiring surrounding two sides of a photoelectric conversion element.

SOLUTION: An N+ diffusion layer 12 forming a lateral overflow drain structure(LOD) is so arranged as to enclose the outer circumference of a pixel unit cell 11 in lattice. An N+ diffusion layer (PD) 13 forming one electrode of a photodiode which is a photoelectric conversion element is away from the N+ diffusion layer 12 by a distance 0.4 μm and so arranged as to be enclosed in three ways by the N+ diffusion layer 12. With a transfer gate 14 of an MOS transistor, the signal charge from the PD13 is transferred to a floating diffusion(FD) 15. Thus, with the N+ diffusion layer 12 constituting LOD arranged near the three sides of the PD13 and positively charged to collect electrons, the electrons overflowing from the PD13 are caught, preventing electrons from entering the FD15.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-260971

(P2000-260971A)

(43)公開日 平成12年9月22日 (2000.9.22)

(51)Int.Cl.
H 01 L 27/146
H 04 N 5/335

識別記号

F I
H 01 L 27/14
H 04 N 5/335

マーク*(参考)
A 4 M 1 1 8
E 5 C 0 2 4

審査請求 未請求 請求項の数14 OL (全8頁)

(21)出願番号 特願平11-61577

(22)出願日 平成11年3月9日 (1999.3.9)

(71)出願人 000001007

キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72)発明者 星 淳一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385

弁理士 山下 義平

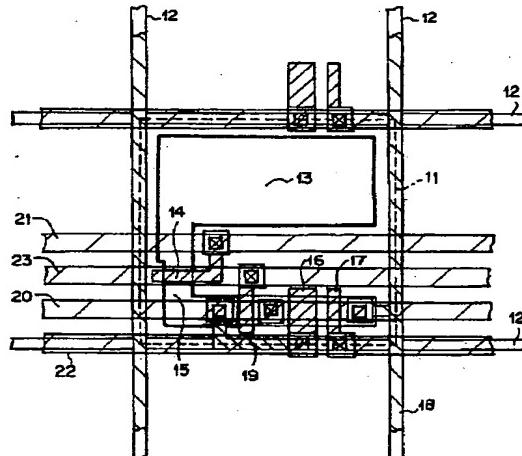
最終頁に続く

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 微細化CMOSセンサーに適したオーバーフロードレイン構造を得る。

【解決手段】 光電変換素子13と光電変換素子13からの過剰な電荷を排除する横型オーバーフロードレイン12とを有する撮像装置において、オーバーフロードレイン12は光電変換素子13の少なくとも2方を取囲む拡散層配線である。



【特許請求の範囲】

【請求項1】 光電変換素子と該光電変換素子からの過剰な電荷を排除する横型オーバーフロードレインとを有する撮像装置において、前記オーバーフロードレインは前記光電変換素子の少なくとも2方を取り囲む拡散層配線であることを特徴とする撮像装置。

【請求項2】 前記拡散層配線は、2次元井桁状に構成されていることを特徴とする撮像装置。

【請求項3】 請求項1又は請求項2に記載の撮像装置は、CMOSセンサーであることを特徴とする撮像装置。

【請求項4】 請求項1又は請求項2に記載の撮像装置において、前記拡散層配線の幅はパターン設計の最小の寸法であることを特徴とする撮像装置。

【請求項5】 請求項1又は請求項2に記載の撮像装置において、前記拡散層配線は前記光電変換素子を含む單一の画素、あるいは前記光電変換素子をそれぞれ含む複数の画素を取り囲んでいることを特徴とする撮像装置。

【請求項6】 請求項5に記載の撮像装置において、取り囲んでいる前記複数の画素は光電変換素子からの信号を増幅する増幅手段を共有していることを特徴とする撮像装置。

【請求項7】 請求項1又は請求項2に記載の撮像装置において、前記拡散層配線は少なくとも一部が基板側、あるいは金属配線とオーミックコンタクトされていることを特徴とする撮像装置。

【請求項8】 請求項1又は請求項2に記載の撮像装置において、前記拡散層配線は正の電源配線を兼ねることを特徴とする撮像装置。

【請求項9】 請求項1～8のいずれかの請求項に記載の撮像装置において、前記光電変換素子を有する画素内に転送ゲートとフローティングディフュージョンを有することを特徴とする撮像装置。

【請求項10】 請求項9に記載の撮像装置において、前記フローティングディフュージョンと前記拡散層配線との間の距離は、前記光電変換素子と前記拡散層配線との間の距離よりも広いことを特徴とする撮像装置。

【請求項11】 光電変換素子と負荷型電界効果トランジスタとを有する撮像装置において、前記負荷型電界効果トランジスタのソース側は前記光電変換素子に接続されており、前記負荷型電界効果トランジスタはオーバーフロードレインとしての働きをすることを特徴とする撮像装置。

【請求項12】 請求項11に記載の撮像装置において、前記負荷型電界効果トランジスタのゲート及びドレン側は正の電位に接続されており、前記電界効果トランジスタのスレッショルド電圧は前記正の電位よりも高いことを特徴とする撮像装置。

【請求項13】 請求項11に記載の撮像装置におい

て、前記光電変換素子と前記負荷型電界効果トランジスタを有する画素内に転送ゲートとフローティングディフュージョンとを有することを特徴とする撮像装置。

【請求項14】 請求項12に記載の撮像装置において、前記転送ゲートのリーク電流が流れ始める光電変換素子の電位の値よりも、前記負荷型電界効果トランジスタのリーク電流が流れ始める電位の値の方が低いことを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は撮像装置に係わり、特に横型オーバーフロードレイン構造を有する撮像装置、さらには微細化されたCMOSセンサーに関するものである。

【0002】

【従来の技術】従来、強い光が照射された場合に発生した過剰な光信号電荷を排除するためのオーバーフロードレイン構造(OD)は、主にCCD型撮像装置で発達して来た。

【0003】オーバーフロードレイン構造には横型オーバーフロードレイン構造(以下、LODという。)、縦型オーバーフロードレイン構造(以下、VODといふ。)が有り、例えば特開平10-070261号公報、電子情報通信学会技術研究報告ED87-174等に紹介されている。

【0004】また前記LODは、その直上にゲート電極を設けることで、ゲート電極下のチャネルを開くことが可能であり、リセット機能、電子シャッター機能等も実現されている。また前記VODはVODを構成する基板の電位を変化させることで同様の機能を実現している。

【0005】一方、CCD型撮像装置とは別の撮像装置としては、例えばCMOSセンサーが知られている。CMOSセンサーの構成例は、特開昭63-100879号公報、特開平9-46596号公報等に説明されている。ここで、CMOSセンサーとはCMOSプロセスコンパチブルのセンサーのこと、画素部と周辺回路のMOSトランジスタとが同一工程で形成できるものである。

【0006】

【発明が解決しようとする課題】上記VODをCMOSセンサーに応用しようとすると、種々の課題が生じる。即ち、VODはホトダイオードであるN⁺拡散層とPウェル、及びN型基板から成る。Pウェルは周辺回路を構成するCMOSのウェルであるが、ウェルの濃度プロファイルはVODの主特性を決定する重要なファクタでも有るため、両者の間に制約が生じ、各々の最適化は困難となる。

【0007】また両者のウェルを異なった工程で形成すれば、その自由度は保証されるが、プロセスコストの上昇を招く。これは撮像装置のコストアップを招くことに

なる。

【0008】また前記電子情報通信学会技術研究報告ED87-174に示されるように、Pウェル間の重なり部分をVODとして使用することも考えられるが、この構造は精密なプロセス制御が必要となる。またオーバーフローが開始する信号電荷量の値がバラツキやすい。これは各画素に存在する光電変換素子の光電変換特性の飽和電圧のバラツキとなり、撮像装置の特性を悪化させることになる。

【0009】また、LODはVODに比べると一般に余分なスペースを必要とし、画素面積を増大させる。ゆえにCCDにおいては主流ではなくなりつつあるが、CMOSセンサーにおいては状況が少し異なる。即ち、CMOSセンサーでは元来その画素内に種々のデバイスを集成しているために、LODの増設に対してもCCDほどは障害とはならない。むしろLODに他の機能を持たせることでよりスマートな構成も得ることが可能である。

【0010】しかし、CMOSセンサーにおいては微細化が急速に進行しており、従来のような1次元LODではLODを構成する拡散層の細線化による配線抵抗の増大が生じ、そのためLODの実効力が低下することが予想される。即ち、LODに大電流が流れると、その増大した配線抵抗によって電圧降下が生じ、撮像装置の画素アレーの中央で、LODに印加される実効電圧が大幅に減少してしまうことである。これは、オーバーフロードレイン構造の余剰電荷の排出能力を低下させるとともに、面内の飽和電圧ムラを生じさせる。

【0011】また一部のCMOSセンサーには光電変換素子と増幅手段との間に転送ゲートを有するものがある。転送ゲートはMOSFETで形成されており、ゲートをはさんだソース／ドレイン拡散層（フローティングディフュージョン）に光電変換素子からの余剰電荷が流入すると、ノイズの原因となる。特にフローティングディフュージョン（以下FDという。）を一時メモリに使用する場合には深刻な問題となる。

【0012】本発明は上述した課題を解決するものであり、微細化が進行しつつあるCMOSセンサーにおいても有効なオーバーフロードレイン構造を提供することを目的とする。

【0013】

【課題を解決するための手段および作用】本発明の撮像装置は、光電変換素子と該光電変換素子からの過剰な電荷を排除する横型オーバーフロードレインとを有する撮像装置において、前記オーバーフロードレインは前記光電変換素子の少なくとも2方を取り囲む拡散層配線であることを特徴とする。

【0014】また本発明の撮像装置は、光電変換素子と負荷型電界効果トランジスタとを有する撮像装置において、前記負荷型電界効果トランジスタのソース側は前記光電変換素子に接続されており、前記負荷型電界効果ト

ランジスタはオーバーフロードレインとしての働きをすることを特徴とする。

【0015】以下、本発明について図面を用いて説明する。

【0016】本発明は図4に示すように、撮像装置の単一の画素又は複数の画素31の外周に井桁状の2次元のLOD32を配置する。

【0017】なお、図4ではLODの構成を井桁状としており、光電変換素子を含む画素の周囲を取り囲むようしているが、光電変換素子の周囲の一部をLODが取り囲む（少なくとも2方を取り囲む）ように形成されていればよい。一般的には画素はマトリクス状に配されるので図4のように2次元井桁状のLODが望ましいが、光電変換素子の形状は光電変換素子以外の画素構成要素、例えば転送ゲートや増幅アンプ等によって形状が変わり、また画素自体の形状によっても変わるので、光電変換素子を囲むLODの形状もそれに対応して変わることになる。

【0018】本発明によれば画素中に含まれる光電変換素子に向するLODの長さ（W）を大きく取れることから、光電変換素子からあふれ出る余剰な電荷を速やかにLODに排出することができる（W効果）。

【0019】またLOD中に排出された電荷を速やかに画素アレーから外部に輸送するためには、LODの配線抵抗は重要である。本発明においてはLODを2次元井桁状の拡散層配線で形成することによって、その配線抵抗（R）を低減させる（R効果）。

【0020】図5は本発明の拡散層配線の2次元配線効果を説明するための概念図である。図6は拡散層配線が1次元配線の場合を説明するための概念図である。

【0021】今、 6×6 画素から成る画素アレーを考える。図6(a)に示すように、縦又は横方向に1次元のLODを配置した場合には、両持ちとして、1画素相当の拡散層抵抗Rを3個直列に配置した値がLODの配線抵抗に相当する。図6(b)の上方の端子がアレー中央部に相当し、下方の端子がアレー外周部に相当する。配線抵抗の値は3Rである。

【0022】一方、図5(a)に示すように、本発明のように2次元井桁状に配置した場合には、図5(b)に示すように中央部と、外周部間の抵抗は簡単な計算から $23/52R$ となる。これは1次元の場合と比べると約7倍小さな値である。

【0023】改善効果は、ネットワーク（図5(b)）のノードが増えるに従って更に顕著となる。 20×20 画素から成る画素アレーの改善効果を回路シミュレータで見積もると、1次元の場合 $10R$ 、2次元の場合 $0.636R$ となって、約16倍の改善効果となる。これは同じ構造であるならばLODの拡散層の幅を $1/16$ にできることを示しており、それだけLODを小型化できることを示している。

【0024】また配線抵抗は途中で基板側、あるいは上層のより低抵抗な金属配線とのオーミックコンタクトを取ることによって、更に低下させることができる。

【0025】また画素間にLODを配置することによって、画素間の信号電荷の混合をも防止することができる(I効果)。

【0026】本発明によれば上記のW効果、R効果、I効果によってよりコンパクトで効力の有るLODを実現することが可能であり、耐光性に優れ飽和電圧バラツキのない、輝度分離、色分離の良いS/Nの良好な撮像装置を提供することができる。

【0027】また、本発明のLODに対数圧縮等に用いられている負荷型MOSFETを用いることにより、更にそのLODとしての性能は向上する。

【0028】対数圧縮等に使用する負荷型MOSFETは、MOSFETのゲートとドレイン電極がショートされており、MOSFET間に印加される電圧が増大するにつれて、指数関数的に電流が増大する非線形性抵抗の特性を示す。非線形抵抗である負荷型MOSFETの働きは、後述する実施例の中で詳細に説明する。

【0029】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0030】図1は本発明の一実施例である、撮像装置の画素部レイアウト図である。図2は図1の配線を除去した画素部レイアウト図である。図3は画素の等価回路図である。撮像装置はアクティビピクセルセンサー(APS)であるCMOSセンサーであり、CZN(100)Siウェハ上に、レイアウトルール0.4μmのCMOSプロセスによって製造されている。

【0031】図1及び図2において、11は画素単位セルであり、撮像装置上に2次元アレー状に繰返し多数配置されている。12はLODを形成するN⁺拡散層であり、太さはパターン設計の最小寸法の0.4μmであり、画素11の外周を井桁状にとり囲んでいる。N⁺拡散層12は2次元アレーの外方で所定の電位に接続されている。また13は光電変換素子であるホトダイオードの一方の電極を形成するN⁺拡散層であり、LODを構成するN⁺拡散層12とは距離0.4μmだけ離れており、N⁺拡散層13はN⁺拡散層12によって三方を取囲まれた状態となっている。また14はホトダイオード(以下、PDという。)13からの信号電荷である電子をFD15に転送するためのMOSトランジスタMTXの転送ゲートであり、L=0..4μm、W=1.0μmのNMOSFETで構成されている。16は増幅手段となるMOSトランジスタMSFのゲートでありFD15と電気的に接続されている。17は選択手段となるMOSトランジスタMSELのゲート、18は画素からの信号を出力するための垂直出力線、19はFD15をリセットするためのMOSトランジスタMRESのゲート、20はVD50

線、21は信号φTxが印加される、転送用MOSトランジスタMTXの転送ゲートと接続される転送信号線であり、22は信号φSELが印加される、MOSトランジスタMSELのゲートに接続される画素選択信号線、23は信号φRESが印加される、MOSトランジスタMRESのゲートと接続されるリセット信号線である。

【0032】図3において、ホトダイオードPDからの信号は転送手段となるMOSトランジスタMTXを介してFD部に転送され、FD部と電気的に接続される、増幅手段となるMOSトランジスタMSFのゲート電位に対応する信号が選択手段となるMOSトランジスタMSELを介して垂直出力線に出力される。FD部はリセット手段となるMOSトランジスタMRESによって所定の電位にリセットされる。なお、ホトダイオードPDのリセットは転送手段となるMOSトランジスタMTXを介して行われる。

【0033】LODはPD13に光電荷を蓄積する電荷蓄積時(露光時)に有效地働く。逆バイアスされたPD13に電子が蓄積し始めると、逆バイアス電圧は徐々にその値を減少させる。逆バイアス電圧がゼロに近づくと、これ以上電子を収集、蓄積することができず、その電子を周囲にばらまき始める。その際に問題となるのが、FD15に電子が混入することである。またFD15は信号電荷を一時蓄積しておくことが可能であるために、一時メモリとして使用される場合もある。その場合は更に深刻である。しかし本実施例においてはPD13の近傍三方向にLODが配置されており、しかも電子を収集するように正の電圧が印加されていることから、PD13からあふれ出した電子を吸とることによって、FD15中に、あふれ出した電子が飛込むことを防止できる。

【0034】また、N⁺拡散層12とFD15との距離は0.5μmであり、N⁺拡散層12とPD13との距離0.4μmよりも広く取られている。FD15にはPD13に蓄積された全ての信号電荷である電子が転送されるが(完全転送)、その場合、FD15の電位が大きく低下することが予想される。そのような場合においても、N⁺拡散層12とFD15との距離がN⁺拡散層12とPDとの距離よりも広いために、FD15においてはLOD動作は生じにくい。

【0035】N⁺拡散層12から吸上げられた電子は前述のように井桁状の2次元低抵抗配線によって画素アレーまで運ばれる。

【0036】また本発明の他の実施例として、図7に示したように、PD43の外周を可能な限り覆うことも有效である。なお、図7においては簡易化のために図1において示されていた配線、ゲート電極、スルーホール等は省略されている。

【0037】また、更なる実施例として、図8に示したようにリセット電位及びソースフォロワの電源であるVDD端子60をLODのN⁺拡散層52と接続した例も考

えられる。本実施例によれば図1に見られたVDD電源のための水平配線20が不要となるため、更にPD53の開口率が向上する。なお、図8においては簡易化のために図1において示されていた配線、ゲート電極、スルーホール等は省略されている。

【0038】また本発明の更なる実施例である、四画素でアンプを共有するCMOSセンサーの画素レイアウト概略図を図9に示す。61は繰返し単位セルとなる四画素である。62はLODを構成する幅0.4μmのN+拡散層である。63-1～63-4はPDであり、N+拡散層62と0.4μmの距離で二方を取囲まれている。66は増幅手段となるMOSトランジスタMSFのゲートでありFD65と電気的に接続されている。67は選択手段となるMOSトランジスタMSELのゲート、68は画素からの信号を出力するための垂直出力線、69はFD65をリセットするためのMOSトランジスタMRESのゲート、70はVDD電源である。

【0039】また隣同士とのPDとは0.8μmの距離で配置されている。64-1～64-4はPD63-1～63-4からの信号電荷をFD65に転送するための転送ゲートであり、L=0.4μm、W=1μmのNMOSFETから成っている。

【0040】本実施例においては、4つのPD63-1、63-2、63-3、63-4からの信号電荷を時分割でFD65に読み出している。従ってPD63-1～63-4からあふれ出る過剰な電荷があった場合には前述のように問題を生ずる。即ち、PD63-1の信号電荷がFD65に有る場合に他のPDから電荷があふれ出て来た場合には、PD63-1の信号に誤信号が乗ってしまう。特に本実施例のように四画素を共通アンプで読み出す場合には、四画素には異なった色(～R、G、B)が配置されることが多く、従って誤信号は輝度の誤りだけでなく、色の誤りを引起すことになる。色の誤り、即ち色相のズレは輝度の差とは異なり目立ち易い。しかし本実施例においては、LODが正の電位となっているために、あふれ出した電荷である電子は速やかにLODに吸上げられる。

【0041】また本実施例においてはPD同士の間の距離はLODとPDとの距離よりも広く取っているために、PD間の信号の混入は生じにくくなっている。

【0042】本発明の更なる実施例を図10、図11に示す。図10は本実施例の画素の等価回路図であり、図11はその概略レイアウト図である。

【0043】図11において、81はPD73とLODであるN+拡散層72間に接続されたL=0.4μm、W=1μmの負荷MOSFETのゲートであり、負荷MOSFETのゲート81はN+拡散層72に接続されている。76は増幅手段となるMOSトランジスタMSFのゲートでありFD75と電気的に接続されている。77は選択手段となるMOSトランジスタMSELのゲート、

79はFD75をリセットするためのMOSトランジスタMRESのゲートである。

【0044】負荷MOSFETの働きは図10に示した通り、PD93の信号電荷蓄積時に、負荷MOSFET101のサブスレッショルド特性を利用して信号を対数圧縮するものであり、それゆえにLODの働きを兼ねることができる。即ち、PD93間に印加された逆バイアス電圧は、PD93に信号電荷が蓄積するにつれて低下する。すると負荷MOSFET101間に印加される電圧は増加し、従って負荷MOSFET101間に流れる電流は増加する。これはLODの働きそのものである。本実施例によればその指数関数的に増大するLOD電流によってそのLODとしての働きは理想的であり、耐光性が非常に向上する。

【0045】また、本発明の他の実施例として、負荷MOSFETのスレッショルド電圧V_Tを適当に選んでやることによって、前述のような対数圧縮特性を示さず、通常の線型特性を示すセンサーとしてもできる。本実施例では図10の転送ゲートMOSFET94のリードが始まるPD93の電位よりも、負荷MOSFET101のリードが始まるPD93の電位を低く設計することによって、負荷MOSFET101はオーバーフロードラインとしての働きを示す。また本発明の更なる他の実施例として、四画素間でアンプを共有するセンサーに負荷MOSFETを各画素に配置した例も考えられる。

【0046】本実施例によれば確実にFDへの余剰電荷の混入を防ぐことができ、色相の誤りを生ずることはない。

30 【0047】

【発明の効果】以上説明したように、本発明によれば、微細化CMOSセンサーに適したオーバーフロードライン構造を得ることができます。

【図面の簡単な説明】

【図1】本発明の一実施例である、撮像装置の画素部レイアウト図である。

【図2】図1の配線を除去した画素部レイアウト図である。

【図3】図1の画素の等価回路図である。

【図4】本発明の撮像装置の画素とLODの配置を示す概略図である。

【図5】本発明の拡散層配線の2次元配線効果を説明するための概念図である。

【図6】拡散層配線が1次元配線の場合を説明するための概念図である。

【図7】本発明の他の実施例である、撮像装置の画素部レイアウト図である。

【図8】本発明の他の実施例である、撮像装置の画素部レイアウト図である。

【図9】本発明の他の実施例である、撮像装置の画素部

レイアウト図である。

【図10】本発明の実施例の画素の等価回路図である。

【図11】図10の画素の概略レイアウト図である。

【符号の説明】

1 1 画素単位セル

1 2 N⁺拡散層

1 3 N⁺拡散層(PD)

1 4 転送ゲート

1 5 FD

* 1 6 MOSトランジスタMSFのゲート

1 7 MOSトランジスタMSELのゲート

1 8 垂直出力線

1 9 MOSトランジスタMRESのゲート

2 0 VDD線

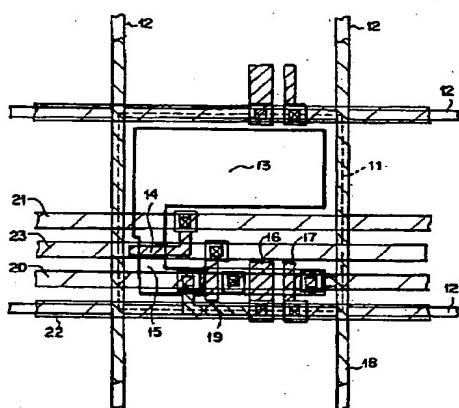
2 1 転送信号線

2 2 画素選択信号線

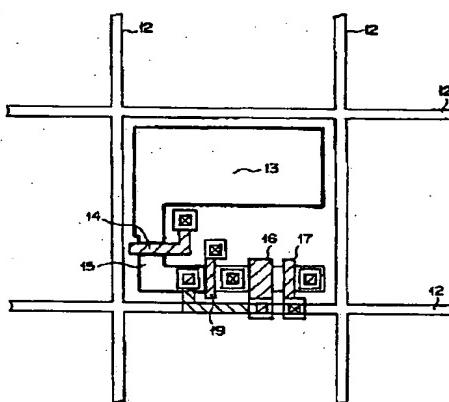
2 3 リセット信号線

*

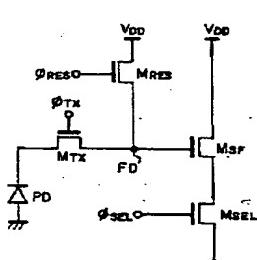
【図1】



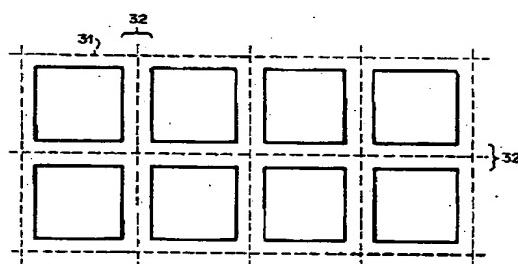
【図2】



【図3】



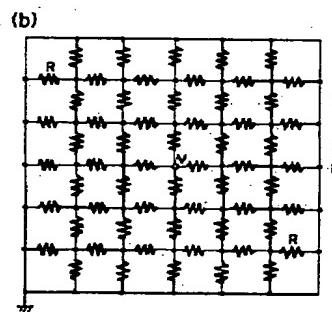
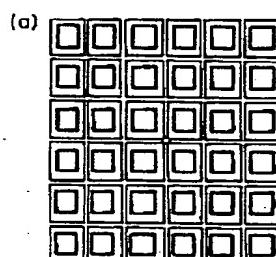
【図4】



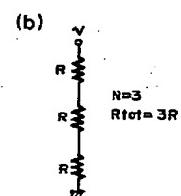
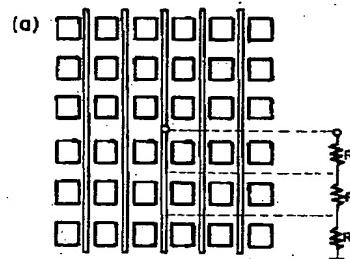
(7)

特開2000-260971

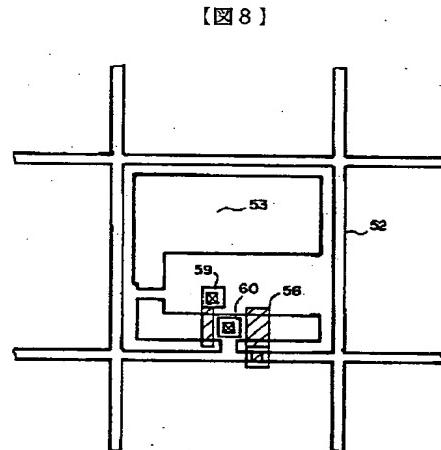
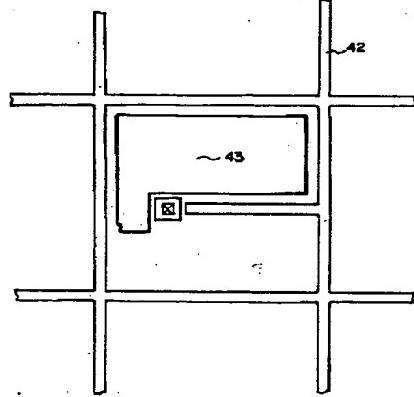
【図5】



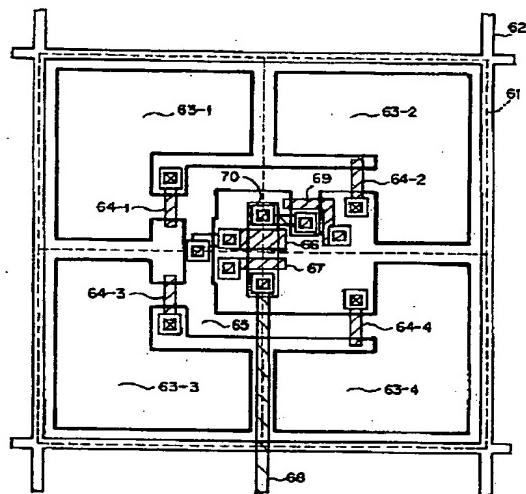
【図6】



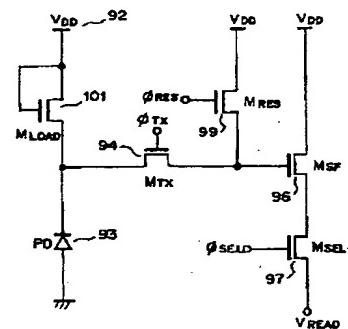
【図7】



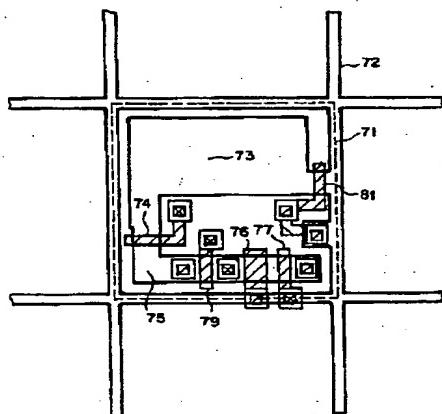
【図9】



【図10】



【図11】



フロントページの続き

F ターム(参考) 4M118 AA10 AB01 BA14 CA03 DD12
 FA06 FA14 FA19
 5C024 AA01 CA02 FA01 FA11 GA31
 GA43